

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-245409

(43) 公開日 平成7年(1995)9月19日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
21/20		8418-4M		
27/10	4 5 1	7210-4M		
		9056-4M	H 0 1 L 29/ 78	3 1 1 B
		7514-4M		3 0 1 B
審査請求 未請求 請求項の数12 O L (全 10 頁) 最終頁に続く				

(21) 出願番号 特願平6-35794

(22) 出願日 平成6年(1994)3月7日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 片岡 正行

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社半導体基礎研究所内

(72) 発明者 古川 彰彦

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社半導体基礎研究所内

(72) 発明者 高見 哲也

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社半導体基礎研究所内

(74) 代理人 弁理士 高田 守

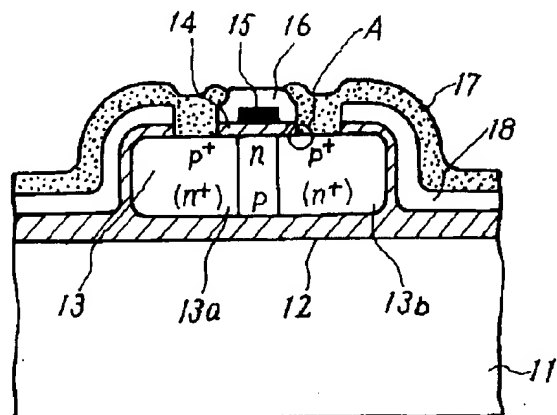
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 P Z T等の優れた特性を有する強誘電体絶縁膜を用いることのできる、また高周波、高電力化に対応できる耐酸化性の高い半導体材料を用いた半導体装置を提供することを目的とする。さらに、界面構造の乱れのないSOI基板や、FRAMが部分配置された半導体集積回路等を実現する。

【構成】 耐酸化性半導体材料として、SiCまたは立方晶SiC、BN、YB₆₆、チタン酸ストロンチウム、ダイヤモンドを用いた。さらに、配線材料として、低抵抗の銀や銅を用いるほか、強誘電体、配線材料半導体材料の格子定数を一致させた。また、耐酸化性半導体材料により構成されたFRAMを半導体集積回路に搭載し、高集積化を図った。



【特許請求の範囲】

【請求項1】絶縁ゲート型電界効果トランジスタ(MISFET)を用いて構成される強誘電体記憶素子(FRAM)において、半導体部が耐酸化性の良好な半導体材料からなることを特徴とする半導体装置。

【請求項2】半導体材料により形成したドレインまたはソース部分に、直接または導電性膜を介して銀または銅からなる配線材料により接続することを特徴とする特許請求の範囲第1項記載の半導体装置。

【請求項3】半導体材料上に形成された強誘電性絶縁層の格子定数が配線材料の格子定数と概ね一致することを特徴とする特許請求の範囲第1項記載の半導体装置。

【請求項4】配線材料が銀またはアルミニウムであることを特徴とする特許請求の範囲第3項記載の半導体装置。

【請求項5】絶縁体上半導体(SOI)基板を用いた半導体集積回路において、SOI基板の半導体部が耐酸化性の良好な半導体材料からなることを特徴とする半導体装置。

【請求項6】半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部の素子の半導体部が、表面変質層の厚さが一定値以下の耐酸化性の良好な半導体材料で構成されることを特徴とする半導体装置。

【請求項7】半導体材料が炭化ケイ素(SiC)であることを特徴とする特許請求の範囲第1～6項のいずれか1項に記載の半導体装置。

【請求項8】炭化ケイ素(SiC)の構造が立方晶であることを特徴とする特許請求の範囲第7項記載の半導体装置。

【請求項9】半導体材料が窒化ホウ素(BN)またはダイヤモンドであることを特徴とする特許請求の範囲第1、2、5、6項のいずれか1項に記載の半導体装置。

【請求項10】半導体材料がYB₆₆であることを特徴とする特許請求の範囲第1、2、5、6項のいずれか1項に記載の半導体装置。

【請求項11】半導体材料がニオブ(Nb)を主原料とする不純物を含有したチタン酸ストロンチウム(SrTiO₃)または化学量論比から酸素が一部欠落したチタン酸ストロンチウム(SrTiO_{3-x})であることを特徴とする特許請求の範囲第1～6項のいずれか1項に記載の半導体装置。

【請求項12】半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部が特許請求の範囲第1～4項または7～11項のいずれか1項に記載の半導体装置からなることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子デバイス用材料と

して、耐酸化性に優れた半導体材料を使用した半導体装置に関する。

【0002】

【従来の技術】半導体集積回路においては様々な絶縁膜が用いられている。なかでも、Bi₄Ti₃O₁₂、Pb(Zr,Ti)O₃(略称PZT)などの金属酸化物は、絶縁性の他、強誘電性など様々な優れた特性をもつ。しかし、これらの特性を発現させるためには、絶縁膜の形成時に、高温プロセスが要求される。そのため、例えばSiのような耐酸化性の劣る半導体上への形成は、高温プロセスによる素子機能の損傷が懸念され、また金属酸化物のSiへの拡散による機能の低減が懸念されていた。図8はIEEE Trans. Electron Devices ED-21, p499(1974)に報告されているSi基板上に強誘電体Bi₄Ti₃O₁₂膜を接合した、絶縁ゲート型電界効果トランジスタ(MISFET; Metal Insulator Semiconductor Field Effect Transistor)を用いて構成される強誘電体記憶素子FRAM; Ferroelectric Random Access Memory)である。図において、81はp型Si半導体基板、82は金属電極、83は強誘電体Bi₄Ti₃O₁₂膜、84はNチャンネル、85はソース、86はゲート、87はドレインである。強誘電体Bi₄Ti₃O₁₂膜83は、p型Si半導体基板81を高温に加熱し、スパッタリング法により形成している。この強誘電体トランジスタは記憶素子として動作させることができる。しかし、このトランジスタは、上記で示したような素子機能の損傷が懸念されるため、量産プロセスの確立に至っていない。

【0003】一方、PZTのような強誘電体膜をトランジスタへ適用するための、別の構造が提案されている。図9は強誘電体単結晶基板を用いた強誘電体トランジスタの構造を示したものである。図において、91は下部ゲート電極、92は強誘電体単結晶基板で、厚さは150μm程度の薄い基板である。93はソース電極、94はドレイン電極、95は真空蒸着した半導体膜、96はゲート絶縁膜、97は上部ゲート電極である。強誘電体単結晶基板を用いたのは、その上に形成する半導体膜の結晶性を良好にするためである。各電極には金(Au)を用いた。このトランジスタは下部ゲート電極91を介してSi基板等にボンディングすることができる。また、ボンディングにより、強誘電体トランジスタの半導体集積回路への適用が可能となる。

【0004】また、回路動作信頼性、集積度の向上のために、絶縁性基板上にSi等の半導体を形成するSOI(Semiconductor-on-Insulator)構造の使用が進められている。絶縁性基板としてはサファイヤ(Al₂O₃)や石英(SiO₂)等が使用される。

【0005】また、図10は、IEEE Journal of Solid-State Circuits, Vol. 27 No. 11 p. 1534 (1992) に報告された従来の半導体基板上に能動素子を配置した半導体集積回路を示す。図において101はDRAM (Dynamic Random Access Memory) サブアレイとSRAM (Static Random Access Memory)、102はDRAMセル、103はコラムデコーダ、104はロウデコーダである。このように、従来はDRAM、SRAMと周辺制御回路により単一の集積回路が構成されていた。

【0006】また、図11に表面酸化膜の厚さが一定の値以下の半導体基板の断面模式図を示す。図において、111はSi半導体基板、112はSi表面酸化膜、113はSiC、114はSiC表面酸化膜である。従来、表面酸化膜の厚さは5nm以上で制御していたので、自然酸化膜の厚さを考慮して、その上にCVD法等により酸化膜を形成していた。

【0007】

【発明が解決しようとする課題】従来の半導体装置は、以上のように構成されていたので、半導体基板上に強誘電体膜を形成した強誘電体トランジスタの場合を量産するには、素子機能の損傷による不良発生が問題となっていた。また、強誘電体単結晶基板上に半導体膜を形成した強誘電体トランジスタを集積回路に使用する場合、半導体基板上への配線のボンディングが必要なため、モノリシック性がなくなり、設計や高集積化が困難という問題があった。また、PZT等強誘電体とSiは反応性が高いため、反応防止材としてPtのようなバリア層を設けることも考えられるが、エッジ構造部でのリーク電流の発生により電気的な素子分離が十分でなくなるという問題があった。さらに、Siと強誘電体とは格子定数の差が大きく(Si: 約0.54nm, PZT強誘電体: 約0.4nm)、格子不整合のため、強誘電性絶縁膜上へ結晶性の優れたSi膜の形成は困難であった。逆に、Si基板上へ結晶性の良い強誘電体膜を形成することも困難であった。

【0008】また、高周波、高電力化に対応した半導体装置を実現するにはPZTのような強誘電性絶縁膜の採用に加えて、低抵抗配線部材を選定する必要がある、さらに素子機能を十分発揮させるために強誘電性絶縁膜と配線部材との間の応力を緩和しかつ付着力の向上を達成しなくてはならなかった。

【0009】さらに、従来の半導体装置に使用されるSOI基板は、以上のように構成されていたので、例えば代表的なSOI構造の一つであるサファイヤ上にSiを形成したものでは、Si層へのAl(サファイヤの構成元素)の拡散、サファイヤとSiの界面の格子定数の差により発生する結晶欠陥の誘起等により、界面の乱れが

素子性能を低下させ、これが大きな問題となっていた。

【0010】さらに、従来の半導体集積回路に使用される能動素子は、表面酸化膜を5nm以上の厚さに制御すればよかったが、今後の半導体集積回路に使用される、例えばMISトランジスタでは、チャンネル長が0.1μm、ゲート絶縁膜厚が3nm以下の制御が必要である。そのため、自然酸化膜の厚さが通常4nm以上もあるSi基板の適用は難しく、Si基板よりも、より薄い酸化膜が安定して形成できる半導体材料が必要となっていた。

【0011】さらに、従来の半導体集積回路においては半導体基板上にDRAMとSRAMの能動素子を配置し設計していたので、高出力化への対応が困難で、さらに配置する素子数に限界があり高集積化の妨げとなっていた。また、SRAMに代って従来構造のFRAMを配置する場合、上記のように、FRAMをボンディングすることにより集積回路に搭載していたため、モノリシック性がなくなることにより設計が難しくなり、また、リーク等素子機能の低下が懸念されていた。

20 【0012】この発明は、上記のような問題点を解決するためになされたもので、PZT等のような優れた特性を有する絶縁膜を用いることのできる半導体基板材料を有する半導体装置を提供するものである。また、高周波、高電力化に対応できる半導体基板材料を有する半導体装置を提供するものである。さらに、界面構造の乱れのないSOI基板を実現するための半導体材料からなる半導体装置を提供するものである。さらに、半導体集積回路において、高出力化、高集積化に対応できるFRAMが部分配置された半導体装置を提供するものである。さらに、Si基板よりも、より薄い酸化膜が安定して形成できる基板を有する半導体装置を提供するものである。

【0013】

【課題を解決するための手段】請求項1の発明に係わる半導体装置は、MISFETを用いて構成されるFRAMにおいて、半導体部を耐酸化性の良好な半導体材料より構成するものである。

【0014】請求項2の発明に係わる半導体装置は、請求項1の半導体装置において、半導体材料により形成されたドレインまたはソース部分に接続する配線材料が銀または銅からなることを規定したものである。

【0015】請求項3の発明に係わる半導体装置は、請求項1の半導体装置において、半導体材料上に形成された強誘電性絶縁層の格子定数と配線部材を構成する配線材料の格子定数がほぼ等しいことを規定するものである。

【0016】請求項4の発明に係わる半導体装置は、請求項3の配線材料が銀またはアルミニウムであることを規定するものである。

50 【0017】請求項5の発明に係わる半導体装置は、S

OI構造を用いた半導体集積回路において、半導体部を耐酸化性の良好な半導体材料により構成するものである。

【0018】請求項6の発明に係わる半導体装置は、半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部の素子の半導体部を、表面変質層の制御された耐酸化性の良好な半導体材料により構成するものである。

【0019】請求項7の発明に係わる半導体装置は、請求項1～6の半導体装置の半導体部をSiCにより構成するものである。

【0020】請求項8の発明に係わる半導体装置は、請求項7のSiCとして立方晶構造のSiCを用いたものである。

【0021】請求項9の発明に係わる半導体装置は、請求項1、2、5、6の半導体装置の半導体部をBNまたはダイヤモンドにより構成するものである。

【0022】請求項10の発明に係わる半導体装置は、請求項1、2、5、6の半導体装置の半導体部をYB₆₆により構成するものである。

【0023】請求項11の発明に係わる半導体装置は、請求項1～6の半導体装置の半導体部をNbを主原料とする不純物を含有したSrTiO₃または化学量論比から酸素が一部欠落したSrTiO_{3-x}により構成するものである。

【0024】請求項12の発明に係わる半導体装置は、半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部の素子を請求項1～4、7～11項のいずれか1項に記載の半導体装置により構成するものである。

【0025】

【作用】この発明の請求項1に係わる半導体装置は、半導体部を耐酸化性の良好な半導体材料を用いたので、その上に高温プロセスでPZT等を形成しても、表面酸化、構造変化等の基板機能の低下が生じないよう、機能を維持するよう作用する。

【0026】この発明の請求項2に係わる半導体装置は、請求項1に記載の半導体装置の配線材料として銀または銅のような低抵抗の材料を用いたので、高出力回路のような大電流回路にも対応できるよう作用する。

【0027】この発明の請求項3に係わる半導体装置は、請求項1に記載の半導体装置の強誘電体部の格子定数をほぼ一致させたので、格子定数の差による界面での応力や結晶欠陥の発生を抑制し、付着力が向上するように作用する。

【0028】この発明の請求項4に係わる半導体装置は、請求項3に記載の半導体装置の配線材料として銀やアルミニウムを用いたので、格子定数の差による界面での応力や結晶欠陥の発生を抑制し、付着力が向上するように作用し、さらに、低抵抗の材料であるので、高出力

回路のような大電流回路にも対応できるよう作用する。

【0029】この発明の請求項5に係わる半導体装置は、SOI基板の半導体部を耐酸化性の良好な半導体材料を用いたので、これらは化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、機能を維持するよう作用する。

【0030】この発明の請求項6に係わる半導体装置は、半導体集積回路の能動素子を構成する半導体に耐酸化性の良好な半導体材料を用いたので、自然酸化膜は極めて薄くしか形成されないので、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

【0031】この発明の請求項7に係わる半導体装置は、請求項1～6の半導体装置の半導体部に耐酸化性の良好な半導体材料であるSiCを用いたので、その上に高温プロセスでPZT等を形成しても、表面酸化、構造変化等の基板機能の低下が生じないよう、機能を維持するよう作用する。また、化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、機能を維持するよう作用する。更に、自然酸化膜は極めて薄くしか形成されないので、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

【0032】この発明の請求項8に係わる半導体装置は、請求項7のSiCとして立方晶構造のSiCを用いたので、一般的なSiCよりも緻密な構造であるため、その上に高温プロセスでPZT等を形成しても、表面酸化、構造変化等の基板機能の低下が生じないよう、一層機能を維持するよう作用する。また、化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、一層機能を維持するよう作用する。更に、自然酸化膜はさらに極めて薄くしか形成されないので、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

【0033】この発明の請求項9に係わる半導体装置は、請求項1、2、5、6の半導体装置の半導体部に耐酸化性の良好な半導体材料であるBNまたはダイヤモンドを用いたので、その上に高温プロセスでPZT等を形成しても、表面酸化、構造変化等の基板機能の低下が生じないよう、機能を維持するよう作用する。また、化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、機能を維持するよう作用する。更に、自然酸化膜は極めて薄くしか形成されないので、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

【0034】この発明の請求項10に係わる半導体装置は、請求項1、2、5、6の半導体装置の半導体部に耐酸化性の良好な半導体材料であるYB₆₆を用いたので、その上に高温プロセスでPZT等を形成しても、表面酸

化、構造変化等の基板機能の低下が生じないよう、機能を維持するよう作用する。また、化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、機能を維持するよう作用する。更に、自然酸化膜は極めて薄くしか形成されないで、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

【0035】この発明の請求項11に係わる半導体装置は、請求項1〜6の半導体装置の半導体部に耐酸化性の良好な半導体材料であるNbを主原料とする不純物を含むしたSrTiO₃または化学量論比から酸素が一部欠落したSrTiO_{3-x}を用いたので、その上に高温プロセスでPZT等を形成しても、表面酸化、構造変化等の基板機能の低下が生じないよう、機能を維持するよう作用する。また、化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、機能を維持するよう作用する。更に、自然酸化膜は極めて薄くしか形成されないで、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

【0036】この発明の請求項12に係わる半導体装置は、半導体集積回路の能動素子の一部または全部にFRAMを用いたので、SRAMやDRAMで構成される場合より各素子を小さくすることができるため、高集積化を促す。また、請求項1〜4、7〜11のいずれか1項に記載の半導体装置であるFRAMを用いているので、高出力回路にも対応できるように作用する。

【0037】

【実施例】

実施例1. 以下、請求項1、7の発明の一実施例を図を用いて説明する。図1はこの発明によるFRAMからなる半導体装置の製造工程断面図である。本実施例では素子間分離のため、メサ型構造の例について示す。図において、1はSi基板、2は耐酸化性半導体膜で、ここではSiC膜である。3はPZTのような強誘電体膜、4はAl合金膜、5はソース領域、6はドレイン領域、7はAl合金配線である。次に製造工程の順に説明する。

(a)のようにSi基板1上にSiC膜2とその上に強誘電体膜3を成膜する。SiC膜2は例えば、SiH₄やC₃H₈のようなガスを用い、熱CVDにより形成する。強誘電体膜3は従来例で示したPZTのようにCVD法で形成する。次に(b)のように、強誘電体膜3上に例えば、スパッタ法によりAl合金膜4を堆積し、素子分離領域を残すようにAl合金膜4をエッチングし、パターニングした後、三フッ化窒素(NF₃)ガス等を用いてSiC2と強誘電体膜3をプラズマエッチングし、素子分離領域をメサ型に形成する。最後に(c)のように、イオン注入により、ソース領域5及びドレイン領域6、Al合金配線7等を形成し、SiCを用いたFRAMセル、すなわちトランジスタ回路を形成する。

【0038】なお、上記実施例ではSi基板上にSiC膜を形成する例について示したが、市販のSiC基板、例えば、CREE Research Inc. の6H-SiCを用い、その上にPZTのような強誘電体膜を形成してもよい。また、成膜法は所望のものが得られるならばCVD法に限定されるものではない。

【0039】実施例2. 以下、請求項1、7、8の発明の一実施例を説明する。実施例1のSiC成膜時に、例えば、Appl. Phys. Lett. No. 60 p. 1703 (1992)に記載されているような、モノメチルシラン(SiCH₃H₃)ガスを用い、Si基板上に750℃の温度で熱CVDを用いる。これにより、SiCのなかでも緻密な構造である立方晶SiC膜を形成することができる。それ以降の製造工程は、実施例1と同様である。

【0040】実施例3. 以下、請求項1、9の発明の一実施例を説明する。実施例1のSiC成膜の代わりに、Si基板上にKrFレーザ(波長248nm)を用いたレーザアブレーション法によりBNをエピタキシャル成長させる。それ以降の製造工程は、実施例1と同様で、エッチング時にBNエッチング用のガスを用いばよい。

【0041】実施例4. 以下、請求項1、9の発明の別の実施例を説明する。実施例1のSiC成膜の代わりに、Si基板上にCH₄ガスやC₂H₂等の炭素を含んだガスを用いたマイクロ波CVD法または熱フィラメント法等によりダイヤモンド膜を形成する。それ以降の製造工程は、実施例1と同様で、エッチング時にダイヤモンド用のエッチングガスを用いばよい。

【0042】実施例5

以下、請求項1、10の発明の一実施例を説明する。実施例1のSiC成膜の代わりに、Si基板上にY-Bターゲットを用いた、スパッタ法によりYB₆を成膜する。それ以降の製造工程は、実施例1と同様で、エッチング時にYB₆用のエッチング用のガスを用いばよい。

【0043】実施例6. 以下、請求項1、11の発明の一実施例を説明する。実施例1のSiC成膜の代わりに、Si基板上にSr-Ti(-O)またはSr-Ti-Nb(-O)をターゲットに用い、酸素雰囲気中で反応性スパッタを行い、チタン酸ストロンチウム系の膜を形成する。それ以降の製造工程は、実施例1と同様で、エッチング時にチタン酸ストロンチウム系用のガスを用いばよい。

【0044】実施例7. 以下、請求項1、2、7〜11の発明の一実施例を図を用いて説明する。図2は、この発明によるFRAMからなる半導体装置の断面図である。図において、11はSi基板、12は埋め込みSiO₂、13は耐酸化性半導体で、13aはソース領域、13bはドレイン領域である。14は例えばPZTのよ

うな強誘電体、15は多結晶Si、16はSiO₂、17は低抵抗のCuまたはAg配線、18は下地配線である。次に製造方法の例について簡単に説明する。Si基板11上に熱酸化、スパッタ等で埋め込みSiO₂12を形成する。そのうえに、実施例1～6に記載した方法でSiC、BN、ダイヤモンド等の耐酸化性半導体13を形成する。その後、メサ型にパターニングし、実施例1と同様の方法で強誘電体14の形成、耐酸化性半導体13へのイオン注入を行い、さらに、下地配線18、多結晶Si15、SiO₂16、低抵抗配線17をそれぞれスパッタやCVD法により積層してFRAMを形成する。低抵抗配線17はCuまたはAgのターゲットを用いたスパッタ法を始めとするPVD法やビスジピバロイルメタナト銅(Cu(C₁₁H₁₉O₂)₂)、ビスヘキサフルオロアセチルアセトナト銅(Cu(C₅H₆F₈O₂)₂)ガスをを用いたCu配線用CVD法AgFガスをを用いたAg配線用CVD法により形成する。本実施例ではソース領域13aやドレイン領域13bに直接CuまたはAgの低抵抗配線17を形成する例について示したが、例えば、酸化ルテニウム(RuO₂)のような低抵抗の導電性膜を介して配線してもよい。

【0045】実施例8. 以下、請求項1、3、4、7、8の発明の一実施例について説明する。図2中の例えばA部において耐酸化性半導体13と強誘電体14、配線17は接続している。この接合部の品質確保のために、耐酸化性半導体13と強誘電体14、配線17に用いられる材料の格子定数を概ね一致させる。すなわち、実施例2において、0.43596nmの格子定数を有する立方晶SiCを形成する。その上に、SiCと格子定数の近い強誘電体として、例えば、格子定数が0.4036nm(a軸、c軸は0.4146nm)であるPZTを成膜する。さらに、配線17としてAgを形成する場合、Ag本来の格子定数0.4086nmにできるだけ近くなるように成膜時の不純物の混入を抑制する等組成、構造制御を行う。また、配線17としてAlを形成する場合も、Al本来の格子定数0.4050nmにできるだけ近くなるように制御する。

【0046】実施例9. 以下、請求項1、3、4、11の発明の一実施例について説明する。実施例8において、耐酸化性半導体13として、SrTiO₃を用いる。SrTiO₃はスパッタ成膜する際にNbを主原料とする不純物や酸素Oの欠損率を制御して半導体の特性を制御しつつ、本来の格子定数0.39nm以上でかつできるだけ近くなるように制御する。以上の実施例8、9のように格子定数は、PZT強誘電体を用いる場合、強誘電体、耐酸化性半導体、配線材が概ね0.39～0.44nmで一致すればよい。

【0047】上記実施例8、9においては、耐酸化性半導体、配線材料、強誘電体の格子状数のマッチングがとれ、互いに反応して拡散層や合金層を形成しにくい材料

であれば、上記材料に限定するものではない。

【0048】実施例10. 以下、請求項5、7～11の発明の一実施例について図を用いて説明する。図3は、この発明によるSOI基板の構造を示したものである。図において、13は耐酸化性半導体、19は絶縁基板でここでは石英基板を用いている。石英基板19上に実施例1～6に示された手法で、SiC、BN、ダイヤモンド等の耐酸化性半導体13を形成する。

【0049】実施例11. 以下、請求項5、7～11の発明の別の実施例について図を用いて説明する。図4は、実施例10で形成したSOI基板を図2で示されるFRAMに適用した例である。図において、20は図2中の埋め込みSiO₂の一部に相当する層間絶縁膜で、ここではSiO₂である。このように、耐酸化性半導体を用いてSOI基板を構成すると、多くの種類への半導体装置への適用できる。

【0050】実施例12. 以下、請求項6～11の発明の一実施例について説明する。例えば、能動素子として実施例1～6で形成されるようなFRAMを用いる。実施例1～6において、耐酸化性半導体膜の形成時またはその後のプロセスにおいて耐酸化性半導体膜の表面酸化膜の厚さまた、その上に形成される強誘電体膜との接合層(極薄い拡散層、合金層等を示す)のような耐酸化性半導体膜からみた表面変質層の厚さを3nm以下に制御する。制御の方法としては、例えば耐酸化性半導体膜と強誘電体膜の成膜装置の到達真空度を向上させたり、両者を連続プロセスで形成する方法による。これにより、従来形成することのできなかったチャンネル長が0.1μm以下の短いチャンネル長の高性能の能動素子が形成できる。

【0051】実施例13. 以下、請求項1～4、7～12の発明の一実施例について図を用いて説明する。図5は、本発明による半導体基板上にFRAMを能動素子の一部として搭載した半導体集積回路を示したものである。図において、21はDRAM、22はFRAMで、実施例1～6、10～11に従って形成する。23はコラムデコーダ、24はロウデコーダである。半導体集積回路は、例えばSi半導体基板の上に成膜やエッチング等のプロセスを用いて、連続プロセスで形成してもよいし、DRAM、FRAMをそれぞれチップとして形成した後、半導体基板上にモノリシック性を失わないような層を介する等してボンディング等で配列して接続してもよい。

【0052】なお、上記実施例では図5のような、分散型キャッシュDRAMについて、示したが、図6のような分散型であっても、図7のような集中型であってもよい。なお、図6、7において25はDRAMサブアレイとFRAM、26はバスラインである。

【0053】

【発明の効果】以上のように、請求項1の発明によれ

ば、MISFETを用いて構成されるFRAMにおいて、半導体部を耐酸化性の良好な半導体材料により構成したので、PZT等のような優れた特性の絶縁膜を半導体装置に適用することができ、さらに、それらの界面特性が優れているので、半導体の高信頼化を図ることが可能となる。

【0054】以上のように、請求項2の発明によれば、請求項1の半導体装置において、半導体材料により形成されたドレインまたはソース部分に接続する配線材料として銀または銅からなる低抵抗材料を用いたので、高周波、高電力化に対応した半導体装置の実現が可能となる。

【0055】以上のように、請求項3、4の発明によれば、請求項1の半導体装置において、半導体材料上に形成された強誘電性絶縁層の格子定数と配線部材を構成する配線材料の格子定数をほぼ等しくし、さらに配線材料とし銀またはアルミニウムを用いたので、格子不整合によるストレスマイグレーションを抑制することができ、半導体装置の高信頼化を図ることが可能となる。

【0056】以上のように、請求項5の発明によれば、SOI構造を用いた半導体集積回路において、半導体部を耐酸化性の良好な半導体材料により構成したので、絶縁体-半導体の界面構造の優れたSOI基板を構成することができ、半導体装置の高信頼化を図ることが可能となる。

【0057】以上のように、請求項6の発明によれば、半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部の素子の半導体部を、表面変質層の制御された耐酸化性の良好な半導体材料、により構成したので、表面変質層除去の工程が簡略化され、また信頼性の高い素子の形成が可能となる。

【0058】以上のように、請求項7、8、11の発明によれば、請求項1～6の半導体装置の半導体材料として、SiCまたは立方晶構造のSiC、Nbを主原料とする不純物を含有した SrTiO_3 または化学量論比から酸素が一部欠落した SrTiO_{3-x} により構成したので、PZT等のような優れた特性の絶縁膜を半導体装置に適用することができ、さらに、それらの界面特性が優れているので、半導体の高信頼化を図ることが可能となる。また、絶縁体-半導体の界面構造の優れたSOI基板を構成することができ、半導体装置の高信頼化を図ることが可能となる。さらに、表面変質層除去の工程が簡略化され、また信頼性の高い素子の形成が可能となる。

【0059】以上のように、請求項9、10の発明によれば、請求項1、2、5、6の半導体装置の半導体材料として、BN、ダイヤモンドまたはYB₆により構成したので、PZT等のような優れた特性の絶縁膜を半導体装置に適用することができ、さらに、それらの界面特性が優れているので、半導体の高信頼化を図ることが可能

となる。また、絶縁体-半導体の界面構造の優れたSOI基板を構成することができ、半導体装置の高信頼化を図ることが可能となる。さらに、表面変質層除去の工程が簡略化され、また信頼性の高い素子の形成が可能となる。

【0060】以上のように、請求項7～9の発明によれば、請求項1の半導体装置の半導体材料としてそれぞれ、SiCまたは立方晶構造のSiC、BN、ダイヤモンドを用いたので、従来のSiよりも化学的、熱的に安定で500℃以上の高温で動作する耐環境素子への適用が可能となる。

【0061】以上のように、請求項7～9の発明によれば、請求項1、5、6の半導体装置の半導体材料としてそれぞれ、SiCまたは立方晶構造のSiC、BN、ダイヤモンドを用いたので、従来のSiに比べて熱伝導率が高いので、大電力半導体装置への適用が可能となる。

【0062】以上のように、請求項12の発明によれば、半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部の素子を請求項1～4、7～11項のいずれか1項に記載の半導体装置により構成したので、素子サイズの縮小化または集積回路の高密度化が可能となる。

【図面の簡単な説明】

【図1】この発明の実施例1～6による半導体装置の製造工程を示す断面図である。

【図2】この発明の実施例7～9による半導体装置の断面図である。

【図3】この発明の実施例10による半導体装置の断面図である。

【図4】この発明の実施例11による半導体装置の断面図である。

【図5】この発明の実施例13による半導体装置集積回路の構成図である。

【図6】この発明の実施例13による別の半導体装置集積回路の構成図である。

【図7】この発明の実施例13による別の半導体装置集積回路の構成図である。

【図8】従来の強誘電体トランジスタの断面構成図である。

【図9】従来の別の強誘電体トランジスタの断面構成図である。

【図10】従来の半導体集積回路の構成図である。

【図11】従来の表面酸化膜の厚さが一定の値以下の半導体基板の断面模式図である。

【符号の説明】

- 1 Si基板
- 2 耐酸化性半導体膜
- 3 強誘電体膜
- 4 Al合金膜
- 5 ソース領域

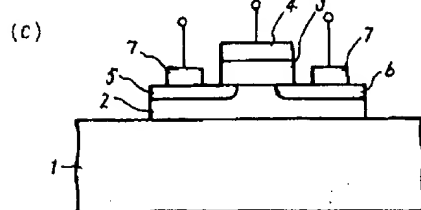
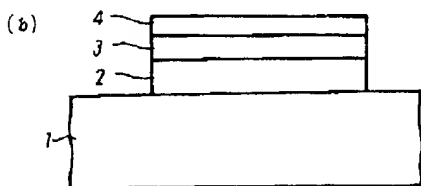
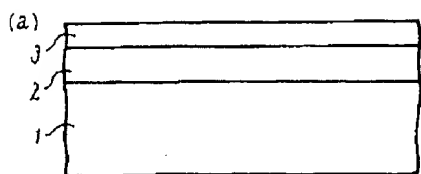
13

14

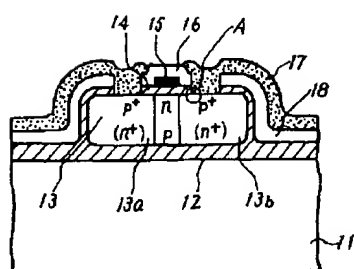
- 6 ドレイン領域
- 7 Al合金配線
- 11 Si基板
- 12 埋め込みSiO₂
- 13 耐酸化性半導体膜
- 14 強誘電体
- 15 多結晶Si
- 16 SiO₂
- 17 低抵抗配線 (CuまたはAg)
- 18 下地配線
- 19 絶縁基板 (石英基板)
- 20 層間絶縁膜
- 21 DRAM
- 22 FRAM
- 23 コラムデコーダ
- 24 ロウデコーダ
- 25 DRAMサブアレイとFRAM
- 26 バスライン
- 81 p型Si半導体基板
- 82 金属電極

- 83 強誘電体Bi₄Ti₃O₁₂膜
- 84 Nチャンネル
- 85 ソース
- 86 ゲート
- 87 ドレイン
- 91 下部ゲート電極
- 92 強誘電体単結晶基板
- 93 ソース電極
- 94 ドレイン電極
- 95 半導体膜
- 96 ゲート絶縁膜
- 97 上部ゲート電極
- 101 DRAMサブアレイ
- 102 DRAMセル
- 103 コラムデコーダ
- 104 ロウデコーダ
- 111 Si半導体基板
- 112 Si表面酸化膜
- 113 SiC
- 114 SiC表面酸化膜

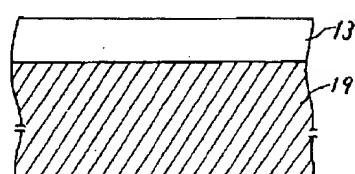
【図1】



【図2】

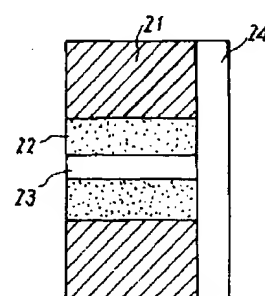
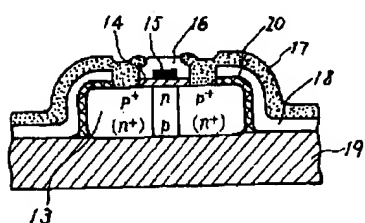


【図3】

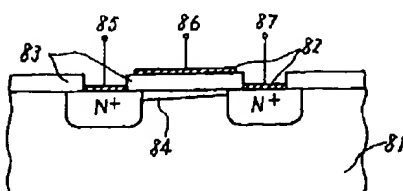


【図5】

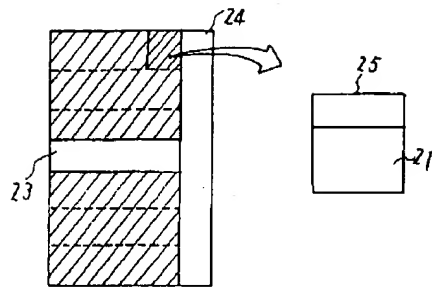
【図4】



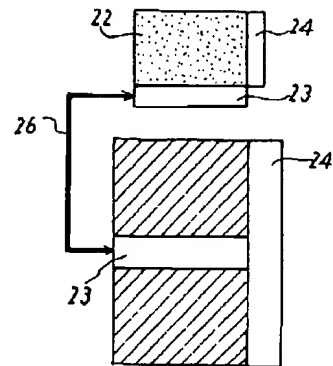
【図8】



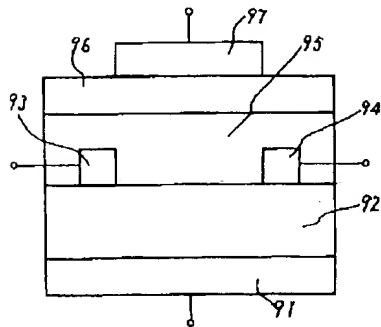
【図6】



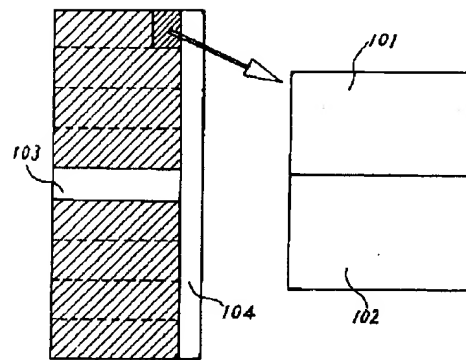
【図7】



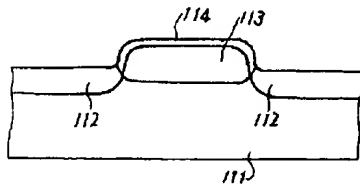
【図9】



【図10】



【図11】



フロントページの続き

(51)Int.Cl.⁶

H01L 29/78

21/8247

29/788

29/792

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/78

371

(72)発明者 大石 敏之

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社半導体基礎研究所内

(72)発明者 和田 幸彦

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社半導体基礎研究所内

(72)発明者 黒田 研一
尼崎市塚口本町8丁目1番1号 三菱電機
株式会社半導体基礎研究所内

(72)発明者 児島 一良
尼崎市塚口本町8丁目1番1号 三菱電機
株式会社半導体基礎研究所内